

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Tae-jung LEE et al.

Art Unit: TBD

Appl. No.: NEW

Examiner: TBD

Filed: 2 December 2003

Atty. Docket: SEC.1088

For: **Semiconductor Memory Device Supporting Two Data Ports**

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, **Mail Stop Patent Application**
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

Appln. No. 2002-0081393

filed December 18, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

By: _____


Kenneth D. Springer
Registration No. 39,843

VOLENTINE FRANCOS, P.L.L.C.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870

Date: 2 December 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0081393
Application Number

출원 년 월 일 : 2002년 12월 18일
Date of Application DEC 18, 2002

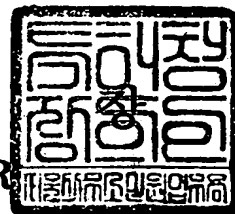
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2002.12.18
【국제특허분류】	H01L
【발명의 명칭】	더블 포트 반도체 메모리 장치
【발명의 영문명칭】	Double port semiconductor memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이태정
【성명의 영문표기】	LEE, Tae Jung
【주민등록번호】	671201-1063624
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통 현대아파트 107-110
【국적】	KR
【발명자】	
【성명의 국문표기】	김병선
【성명의 영문표기】	KIM, Byung Sun
【주민등록번호】	610403-1542612

【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 풍림아파트 301-1102
【국적】	KR
【발명자】	
【성명의 국문표기】	이준형
【성명의 영문표기】	LEE, Joon Hyung
【주민등록번호】	711112-1041914
【우편번호】	463-914
【주소】	경기도 성남시 분당구 정자동(한솔마을) 청구아파트 107-1101
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	31 면 31,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	14 항 557,000 원
【합계】	617,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

더블 포트 반도체 메모리 장치의 셀 레이아웃에 대하여 개시한다. 본 발명에 의한 반도체 메모리 장치의 일 실시예에서는, 하나의 메모리 셀에 2개의 엔모스 스캔 트랜지스터를 포함하여 총 8개의 트랜지스터가 포함된다. 이중, 2개의 피모스 트랜지스터 및 6개의 엔모스 트랜지스터는 각각 반도체 기판에 형성된 하나의 엔웰 및 하나의 피웰에 배열되는데, 여기서 엔웰은 메모리 셀의 한쪽 모퉁이에 배열하는 것이 전체 반도체 메모리 장치의 효율적인 레이아웃을 위하여 바람직하다. 본 발명에 의하면, 반도체 기판에 각각 하나의 엔웰 및 피웰이 형성되어, 웰간의 격리를 위한 격리 영역이 차지하는 면적을 감소시킬 수 있기 때문에, 단위 메모리 셀이 차지하는 면적을 줄일 수 있다.

【대표도】

도 4

【색인어】

에스램, 더블 포트, 격리 영역, 스캔 트랜지스터, 메모리 셀 레이아웃

【명세서】**【발명의 명칭】**

더블 포트 반도체 메모리 장치{Double port semiconductor memory device}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 더블 포트 반도체 메모리 장치를 구성하는 메모리 셀의 등가 회로를 도시하고 있는 메모리 셀 등가회로도이고,

도 2는 도 1에 도시된 등가회로를 구현하기 위한 메모리 셀의 첫 번째 레이어에 대한 레이아웃을 보여주는 다이어그램(diagram)이고,

도 3은 본 발명에 따른 더블 포트 반도체 메모리 장치를 구성하는 메모리 셀의 등가 회로의 일 예를 도시하고 있는 메모리 셀 등가회로도이고,

도 4는 도 3에 도시된 등가회로를 구현하기 위한 메모리 셀의 첫 번째 레이어에 대한 레이아웃의 일 실시예를 보여주는 다이어그램이고,

도 5는 도 4에 도시된 메모리 셀 레이아웃을 포함하는 반도체 메모리 장치에 대하여 4개의 메모리 셀을 함께 도시한 4셀 레이아웃을 보여주는 다이어그램이고,

도 6은 도 4에 도시된 메모리 셀 레이아웃을 포함하는 반도체 메모리 장치에 대하여 AA' 라인을 따라 취한 개략적인 단면도이고,

도 7은 도 3에 도시된 등가회로를 구현하기 위한 메모리 셀의 첫 번째 레이어에 대한 레이아웃의 다른 실시예를 보여주는 다이어그램이고,

도 8은 도 3에 도시된 등가회로를 구현하기 위한 메모리 셀의 두 번째 레이어에 대한 레이아웃의 일 실시예를 보여주는 다이어그램이고,

도 9는 도 3에 도시된 등가회로를 구현하기 위한 메모리 셀의 세 번째 레이어에 대한 레이아웃의 일 실시예를 보여주는 다이어그램이고,

도 10은 도 3에 도시된 등가회로를 구현하기 위한 메모리 셀의 네 번째 레이어에 대한 레이아웃의 일 실시예를 보여주는 다이어그램이고,

도 11은 본 발명에 따른 더블 포트를 가지는 반도체 메모리 장치의 등가 회로의 다른 예를 도시하고 있는 메모리 셀 등가회로도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 메모리 장치에 관한 것으로, 보다 구체적으로는 더블 포트 에스램(SRAM) 장치의 메모리 셀 레이아웃에 관한 것이다.
- <13> 반도체 메모리 장치는 기억방식에 따라 디램(DRAM; Dynamic Random Access Memory)과 에스램(SRAM; Static Random Access Memory)으로 분류된다. 이중 에스램은 빠른 스피드 특성, 저전력 소모 특성 및 단순한 방식으로 동작된다는 장점을 갖는다. 아울러, 에스램은 주기적으로 저장된 정보를 리프레시(refresh)할 필요가 없으며, 로직 반도체 장치를 제조하는 공정과 호환성이 있기 때문에 임베디드 메모리(embedded memory)로써 많이 사용되고 있다.
- <14> 일반적인 에스램 메모리 셀은 2개의 드라이브 트랜지스터(또는 풀다운 트랜지스터(pull down transistor)라고도 한다), 2개의 부하 장치 및 2개의 패스 트랜지스터(또는 액세스 트랜지스터(access transistor)라고도 한다)로 구성된다. 이러

한 에스램은 부하 장치의 종류에 따라, 씨모스(CMOS)형, 고부하 저항(HLR; High Load Resistor)형 및 박막 트랜지스터(TFT; Thin Film Transistor)형의 3가지 구조로 분류된다. 씨모스형은 부하 장치로서 피모스(P channel type Field Effect Transistor) 트랜지스터를 사용하고, 고부하 저항형은 부하 장치로서 고저항을 사용하며, 박막 트랜지스터형은 부하 장치로서 폴리실리콘 박막 트랜지스터를 사용한다.

<15> 따라서, 씨모스형 에스램 장치의 메모리 셀은 부하 장치로 사용되는 2개의 피모스 트랜지스터를 포함하여 총 6개의 트랜지스터로 구성된다. 6개의 트랜지스터 중에서 나머지 4개는 엔모스 트랜지스터(N channel type Field Effect Transistor)로 형성되는 것이 일반적이다. 4개의 엔모스 트랜지스터 중에서 구동 트랜지스터 2개는 전술한 피모스 트랜지스터와 함께 각각 인버터를 이루고, 나머지 2개의 엔모스 트랜지스터는 패스 트랜지스터(Pass Transistor)이다.

<16> 씨모스형 에스램 장치의 작동 속도를 제약하는 요소는 지금 현재 여러 가지가 있다. 예를 들면, 에스램 장치를 구성하는 배선 라인의 저항 특성 및 인접한 비트 라인 및 상보 비트 라인 사이에서 발생하는 기생 커패시턴스의 크기 그리고 데이터를 읽고 쓸 수 있는 통로가 되는 포트의 수 등이 에스램 장치의 작동 속도에 영향을 미친다.

<17> 전술한 바와 같은, 6개의 트랜지스터로 구성된 씨모스형 에스램 장치는 일반적으로 단일 포트(single port)로 이루어진다. 즉, 한 쌍의 비트 라인 및 상보 비트 라인은 2개의 패스 트랜지스터를 통하여, 2개의 인버터로 구성된 각 메모리 노드와 연결되어 있다. 6개의 트랜지스터로 구성된 단일 포트 에스램 장치의 등가회로도 및 그 등가회로가 구현된 메모리 셀 레이아웃에 대한 하나의 예가 일본 특개평 10-178110호에 개시되어 있다.

- <18> 단일 포트를 가지는 에스램 장치는 패스 트랜지스터를 통해서 연결된 비트 라인 및 상보 비트 라인(이를 '비트 라인 쌍'이라 한다)이 입력 단자이자 출력 단자이다. 그런데, 단일 포트 에스램 장치는 입력 및 출력 동작을 동시에 수행될 수 없다. 따라서, 단일 포트 에스램 장치의 경우에는 작동 속도를 향상시키는데는 한계가 있다.
- <19> 반면, 작동 속도를 향상시키기 위하여 입력 단자 및/또는 출력 단자를 여러 개 포함하고 있는 다중 포트 씨모스 에스램(multi-port CMOS SRAM) 장치가 제안되어져 왔다. 다중 포트 씨모스 에스램 장치의 메모리 셀에는 통상적으로 7개 이상의 트랜지스터가 포함된다. 그리고, 경우에 따라서는 10개 이상의 트랜지스터를 포함하는 경우도 있다.
- <20> 멀티 포트를 가지는 에스램 장치에서는 입력 및 출력 즉 읽기 및 쓰기 동작을 각각의 포트를 통하여 동시에 수행할 수 있다. 단일 포트 에스램 장치의 경우에는 데이터를 읽는 동안에는, 동일한 비트 라인 쌍에 연결된 메모리 셀에서는 데이터를 기입할 수가 없으며, 지연 시간이 발생한다. 이와는 달리, 멀티 포트 에스램 장치에서는 동일한 비트 라인 쌍에 연결된 메모리 셀의 경우에도 데이터를 기입하는 동안, 다른 메모리 셀에서는 데이터를 읽을 수 있기 때문에 지연 시간이 발생하지 않는다.
- <21> 고속 성능을 실현하기 위한 다중 포트 에스램 장치를 구현하기 위하여 여러 가지 등가회로도가 제안되어져 오고 있다. 그리고, 등가회로가 동일한 경우에도 이를 구성하는 개별 소자를 반도체 기판에 배열하는 방법도 여러 가지가 제안되어져 오고 있다. 통상적으로 시스템에 요구되는 성능에 적합하도록 각 구성 소자가 배열된다. 전술한 바와 같이, 에스램은 그 특성이 전력의 소모가 적고 또한 고속으로 동작하는 것이기 때문에, 이 2가지 특성 모두가 발휘되거나, 시스템의 특성에 따라서는 이 중에서 한가지 특성을 충분히 발휘할 수 있도록 각 소자의 배열이 이루어진다.

<22> 멀티 포트를 가지는 씨모스 에스램 장치에 대한 등가회로도 및 그 등가회로를 실현하는 메모리 셀 레이아웃에 대한 하나의 예가 미국특허 제6,347,062호에 개시되어 있다. 도 1 및 도 2는 각각 상기한 미국특허에 개시된 등가회로도 및 이 등가회로가 구현된 에스램 장치의 첫 번째 레이아웃에 대한 다이어그램이 도시되어 있다. 도 1에 도시된 등가회로도는 2개의 포트를 가지는 씨모스 에스램 장치이다. 도 1 및 도 2에 사용된 참조 번호는 상기한 미국특허에 개시된 것과 동일하다.

<23> 도 1을 참조하여 종래 기술에 의한 2개의 포트를 가지는 에스램 장치(더블 포트 에스램 장치)를 간략히 살펴보면, 우선, 제1 피모스 트랜지스터(P1) 및 제1 엔모스 트랜지스터(N1)가 제1 씨모스 인버터를 구성하며, 제2 피모스 트랜지스터(P2) 및 제2 엔모스 트랜지스터(N2)는 제2 씨모스 인버터를 구성한다. 제1 씨모스 인버터 및 제2 씨모스 인버터의 입력 단자 및 출력 단자가 서로 엇갈려 연결되어 있으며, 이와 같이 연결되는 지점이 제1 메모리 노드(MA) 및 제2 메모리 노드(MB)이다. 제1 씨모스 인버터 및 제2 씨모스 인버터의 입력 단자 및 출력 단자가 서로 엇갈려 연결됨으로써, 이 2개의 씨모스 인버터는 플립-플롭 회로(flip-flop circuit)를 구성한다.

<24> 제3 엔모스 트랜지스터(N3) 및 제4 엔모스 트랜지스터(N4)는 각각 패스 트랜지스터(pass transistor)로서, 액세스 트랜지스터의 역할을 한다. 패스 트랜지스터(N3, N4)의 게이트는 제1 워드 라인(WWL)에 연결되어 있고, 소스 및 드레인은 각각 메모리 노드(MA, MB) 및 한 쌍의 제1 비트 라인(WBL1, WBL2)에 연결되어 있다.

<25> 제5 엔모스 트랜지스터(N8) 및 제6 엔모스 트랜지스터(N9)는 스캔 트랜지스터(scan transistor)이다. 스캔 트랜지스터(N8 및 N9) 및 이와 연결된 제2 비트 라인(RBL) 및 제2 워드 라인(RWL)이 두 번째 출력 포트의 역할을 한다. 제5 엔모스 트랜지스터(N8)의

게이트는 제1 메모리 노드(MA)에 연결되어 있으며, 소스는 그라운드 그리고 드레인
제6 엔모스 트랜지스터(N9)의 소스에 연결되어 있다. 그리고, 제6 엔모스 트랜지스터
(N9)의 게이트는 제2 워드 라인(RWL)에 연결되어 있고, 드레인은 제2 비트 라인(RBL)에
연결되어 있다.

<26> 이와 같은 등가회로에 의하면, 제1 워드 라인(WWL) 및 한 쌍의 제1 비트 라인
(WBL1, WBL2)을 선택함으로써 첫 번째 포트를 통하여 데이터를 읽고 쓰는 것이 가능하다
. 그리고, 제2 워드 라인(RWL) 및 제2 비트 라인(RBL)을 선택함으로써 두 번째 포트를
통하여 데이터를 읽는 것이 가능하다. 특히, 첫 번째 포트의 동작 여부에 상관없이 독립
적으로 두 번째 포트를 통하여 데이터를 읽는 것이 가능한 것이 본 등가회로의
특징이다.

<27> 도 1과 같은 등가회로를 가지는 메모리 셀도 여러 가지 방식으로 각 구성 소자들을
레이아웃할 수 있다. 실제로, 레이아웃 형태에 따라서 반도체 메모리 소자의 성능이 많
이 좌우된다. 여러 층에 걸친 레이아웃 중에서, 첫 번째 레이아웃에 대한 일 예가 도 2
에 도시되어 있다.

<28> 도 2를 참조하면 알 수 있는 바와 같이, 종래 기술에 의한 더블 포트 에스램 장치
의 일 예에서는 반도체 기판에 형성된 각 단위 셀이 하나의 엔웰(N-well, NW)과 이
엔웰(NW)의 양쪽에 배치된 두 개의 피웰(P-well, PW1 및 PW2)을 포함할 수 있다. 즉, 제
1 피모스 트랜지스터(P1) 및 제2 피모스 트랜지스터(P2)는 엔웰(NW)에 형성될 수 있다.
그리고, 제1 엔모스 트랜지스터(N1) 및 제3 엔모스 트랜지스터(N3)는 제1 피웰(PW1)에
형성이 되고, 제2 엔모스 트랜지스터(N2), 제4 엔모스 트랜지스터(N4), 제5 엔모스 트랜
지스터(N8) 및 제6 엔모스 트랜지스터(N9)는 제2 피웰(PW2)에 형성될 수 있다.

<29> 이와 같은 배열에 의하면, 한 쌍의 제1 비트 라인(WBL1, WBL2) 및 제2 비트 라인(RBL)을 엔웰(NW)과 제1 피웰(PW1) 그리고 엔웰(NW)과 제2 피웰(PW2)의 경계면과 평행하게 배열하는 것이 가능하다. 따라서, 종래 기술에 의하면 제1 비트 라인(WBL1, WBL2) 및 제2 비트 라인(RBL)의 길이를 짧게 함으로써 보다 동작 속도가 빠른 에스램 장치를 제조하는 것이 가능한 장점이 있다.

<30> 그러나, 전술한 레이아웃에서는 엔웰(NW)을 사이에 두고 양옆에 2개의 피웰(PW1 및 PW2)이 위치하기 때문에, 웰간의 경계면이 길게 존재한다. 그 결과 각각의 웰을 격리시키기 위하여 경계면에 형성되는 격리 영역(isolation area)이 차지하는 면적이 넓으며, 이로 인하여 단위 셀의 면적이 커지게 된다.

【발명이 이루고자 하는 기술적 과제】

<31> 본 발명이 이루고자 하는 기술적 과제는 2개의 포트(port)를 가지고 있기 때문에 데이터를 읽고 쓰는 동작을 동시에 수행할 수 있으며, 각 메모리 셀을 구성하는 소자 및 배선 라인의 레이아웃을 효율적으로 함으로써 엔웰 및 피웰이 접하는 경계면을 짧게 함으로써, 경계면에 형성되는 격리 영역이 차지하는 면적이 감소된 반도체 메모리 장치를 제공하는데 있다.

<32> 본 발명이 이루고자 하는 다른 기술적 과제는 불필요한 배선 요소를 감소시키고 배선 라인을 효과적으로 배치함으로써 성능이 우수한 반도체 메모리 장치를 제공하는데 있다.

【발명의 구성 및 작용】

<33> 상기한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 반도체 메모리 장치는 P+ 활성 영역이 형성된 하나의 엔웰(n-well) 및 N+ 활성 영역이 형성된 하나의 피웰(p-well)로 나누어진 메모리 셀(memory cell)을 포함하는 반도체 기판; 제1 워드 라인 및 제2 워드 라인(스캔 어드레스 라인(scan address line, SAL)이라고도 한다); 제1 비트 라인 및 제1 상보 비트 라인으로 구성된 제1 비트 라인 쌍과 제2 비트 라인(스캔 데이터 아웃 라인(scan data out line, SDOL)이라고도 한다); 제1 엔모스 트랜지스터, 제1 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제1 씨모스 인버터; 제2 엔모스 트랜지스터, 제2 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제2 씨모스 인버터로서, 제2 씨모스 인버터의 입력 단자는 제1 씨모스 인버터의 출력 단자에 연결되어 제1 메모리 노드(memory node)를 구성하고, 그리고 제2 씨모스 인버터의 출력 단자는 제1 씨모스 인버터의 입력 단자에 연결되어 제2 메모리 노드를 구성하는 제2 씨모스 인버터; 게이트가 제1 워드 라인에 연결되고, 드레인은 제1 비트 라인에 연결되며, 그리고 소스가 제1 메모리 노드에 연결되어 있는 제3 엔모스 트랜지스터; 게이트가 제1 워드 라인에 연결되고, 드레인은 제1 상보 비트 라인에 연결되며, 그리고 소스가 제2 메모리 노드에 연결되어 있는 제4 엔모스 트랜지스터; 게이트가 제1 메모리 노드에 연결되고 그리고 소스는 그라운드 라인(ground line)에 연결되어 있는 제5 엔모스 트랜지스터; 및 게이트가 제2 워드 라인에 연결되고, 소스는 제5 엔모스 트랜지스터의 드레인에 연결되어 있으며, 그리고 드레인은 제2 비트 라인에 연결되어 있는 제6 엔모스 트랜지스터를 포함하는데, 여기서 제1 피모스 트랜지스터 및 제2 피모스 트랜지스터는 반도체 기판에 형성된 엔웰의 P+ 활성 영역에 위치하고, 제1 엔모스 트랜지스터, 제2 엔모스 트랜지스

터, 제3 엔모스 트랜지스터, 제4 엔모스 트랜지스터, 제5 엔모스 트랜지스터 및 제6 엔모스 트랜지스터는 반도체 기판에 형성된 피웰의 N+ 활성 영역에 위치한다.

<34> 상기한 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 의한 반도체 메모리 장치는 P+ 활성 영역이 형성된 하나의 엔웰(n-well) 및 N+ 활성 영역이 형성된 하나의 피웰(p-well)로 나누어진 메모리 셀(memory cell)을 포함하는 반도체 기판; 제1 워드 라인 및 제2 워드 라인; 제1 비트 라인 및 제1 상보 비트 라인으로 구성된 제1 비트 라인 쌍과 제2 비트 라인; 제1 엔모스 트랜지스터, 제1 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제1 씨모스 인버터; 제2 엔모스 트랜지스터, 제2 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제2 씨모스 인버터로서, 제2 씨모스 인버터의 입력 단자는 제1 씨모스 인버터의 출력 단자에 연결되어 제1 메모리 노드를 구성하고, 그리고 제2 씨모스 인버터의 출력 단자는 제1 씨모스 인버터의 입력 단자에 연결되어 제2 메모리 노드를 구성하는 제2 씨모스 인버터; 게이트가 제1 워드 라인에 연결되고, 드레인인 제1 비트 라인에 연결되며, 그리고 소스가 제1 메모리 노드에 연결되어 있는 제3 엔모스 트랜지스터; 게이트가 제1 워드 라인에 연결되고, 드레인인 제1 상보 비트 라인에 연결되며, 그리고 소스가 제2 메모리 노드에 연결되어 있는 제4 엔모스 트랜지스터; 및 게이트가 제2 워드 라인에 연결되고, 소스는 제1 메모리 노드에 연결되어 있으며, 그리고 드레인인 제2 비트 라인에 연결되어 있는 제5 엔모스 트랜지스터를 포함하며, 여기서 제1 피모스 트랜지스터 및 제2 피모스 트랜지스터는 반도체 기판에 형성된 엔웰의 P+ 활성 영역에 위치하고, 제1 엔모스 트랜지스터, 제2 엔모스 트랜지스터, 제3 엔모스 트랜지스터, 제4 엔모스 트랜지스터 및 제5 엔모스 트랜지스터는 반도체 기판에 형성된 피웰의 N+ 활성 영역에 위치한다.

- <35> 본 발명의 일 측면에 의하면, 상기한 엔웰은 메모리 셀의 일 모퉁이에 위치하고, 메모리 셀의 나머지 부분에는 피웰이 위치하는 것이 바람직하다.
- <36> 또한, 메모리 셀이 다수 개가 모여서 하나의 독립된 엔웰을 형성함으로써 나머지 피웰들에 둘러싸여 있고, 이 경우에 반도체 메모리 장치는 독립된 엔웰의 상기 P+활성 영역과 전원을 연결하기 위한 웰 콘택(well contact)을 더 포함하는 것이 바람직하다.
- <37> 또한, 전술한 독립된 엔웰의 P+ 활성 영역 내에는 웰 콘택과 연결되는 N+ 활성 영역이 더 형성되어 있고, N+ 활성 영역 및 P+ 활성 영역 상에는 N+ 활성 영역 및 P+ 활성 영역을 연결하기 위한 실리사이드층이 더 형성되어 있는 것이 바람직하다. 그리고, 전술한 독립된 엔웰은 4개의 메모리 셀이 모여서 하나의 독립된 엔웰로 될 수 있다.
- <38> 또한, P+ 활성 영역 내에 형성되어 있는 N+ 활성 영역 및 이 N+ 활성 영역과 연결되는 웰 콘택은 인접한 2개의 메모리 셀 즉, P+ 활성 영역이 서로 연결되어 있는 2개의 메모리 셀에 의하여 공유될 수 있다.
- <39> 본 발명의 다른 측면에 의하면, 피웰에 둘러싸여 있는 엔웰을 서로 연결하는 엔웰 브리지(n-well bridge)가 이 피웰에 더 형성되어 있을 수 있다. 그리고, 이 경우에 엔웰 브리지의 폭은 엔웰의 폭의 10% 이상 50% 이하인 것이 바람직하다.
- <40> 또한, 메모리 셀이 다수 개가 모여서 하나의 독립된 엔웰을 형성함으로써 나머지 피웰들에 둘러싸여 있고, 이 경우에 반도체 메모리 장치는 독립된 엔웰의 상기 P+활성 영역과 전원을 연결하기 위한 웰 콘택(well contact)을 더 포함하는 것이 바람직하다.
- <41> 또한, 전술한 독립된 엔웰의 P+ 활성 영역 내에는 웰 콘택과 연결되는 N+ 활성 영역이 더 형성되어 있고, N+ 활성 영역 및 P+ 활성 영역 상에는 N+ 활성 영역 및 P+ 활성

영역을 연결하기 위한 실리사이드층이 더 형성되어 있는 것이 바람직하다. 그리고, 전술한 독립된 엔웰은 4개의 메모리 셀이 모여서 하나의 독립된 엔웰로 될 수 있다.

<42> 본 발명의 또 다른 측면에 의하면, 제2 워드 라인은 제1 워드 라인과 평행한 것이 바람직하다.

<43> 본 발명의 또 다른 측면에 의하면, 제2 비트 라인은 제1 비트 라인과 평행한 것이 바람직하다.

<44> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예로 한정되는 것으로 해석되어서는 안 된다. 본 발명의 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 어떤 층은 상기한 다른 층 또는 반도체 기판에 직접 접촉하여 존재하거나 또는 그 사이에 제 3의 층이 개재될 수 있다.

<45> 도 3에는 본 발명에 따른 더블 포트를 가지는 반도체 메모리 장치의 등가회로도(의 일 예)가 도시되어 있다. 이 등가회로도는 도 1에 도시된 등가회로도와 동일한 것이지만, 여기서 보다 구체적으로 살펴보기 위하여 다시 도시하였다. 그리고, 참조 부호도 본 명세서에서 적합하도록 변경하였다.

<46> 도 3을 참조하면, 제1 피모스 트랜지스터(P1) 및 제1 엔모스 트랜지스터(N1)는 제1 씨모스 인버터(CMOS inverter)를 구성한다. 그리고, 제2 피모스 트랜지스터(P2) 및 제2 엔모스 트랜지스터(N2)는 제2 씨모스 인버터를 구성한다. 이들 씨모스 인버터들의 입력 단자(input terminal) 및 출력 단자(output terminal)는 서로 교차하여 연결되어 있으며, 따라서 이 네 개의 모스 트랜지스터(P1, P2, N1 및 N2)는 플립-플롭(flip-flop) 회로를 구성한다. 제1 씨모스 인버터의 출력 단자이고 제2 씨모스 인버터의 입력 단자인 제1 메모리 노드(M1)와 제2 씨모스 인버터의 출력 단자이고 제1 씨모스 인버터의 입력 단자인 제2 메모리 노드(M2)에 데이터가 저장된다.

<47> 제3 엔모스 트랜지스터(N3) 및 제4 엔모스 트랜지스터(N4)는 패스 트랜지스터(pass transistor)이다. 즉 각각 제1 메모리 노드(N1) 및 제2 메모리 노드(N2)에 대한 액세스 트랜지스터(access transistor)의 역할을 한다. 제3 엔모스 트랜지스터(N3)의 게이트는 제1 워드 라인(WL)에 연결되어 있으며, 소스는 제1 메모리 노드(N1), 드레인은 제1 비트 라인(BL)에 연결되어 있다. 제4 엔모스 트랜지스터(N4)의 게이트도 제1 워드 라인(WL)에 연결되어 있으며, 소스는 제2 메모리 노드(N2), 드레인은 제1 상보 비트 라인(/BL)에 연결되어 있다.

<48> 제5 엔모스 트랜지스터(N5) 및 제6 엔모스 트랜지스터(N6)는 더블 포트를 실현하기 위하여 싱글 포트(single port)를 가지는 반도체 에스램 장치에 추가된 것이다. 즉 도시된 등가회로에 의하면, 제5 엔모스 트랜지스터(N5) 및 제6 엔모스 트랜지스터(N6)를 동작시켜서 제1 메모리 노드(M1)에 저장된 데이터를 읽는 것이 가능하다.

<49> 제5 엔모스 트랜지스터(N5)의 게이트는 제1 메모리 노드(N1)에 연결되어 있으며, 소스는 그라운드 라인에 연결되어 있으며, 드레인은 제6 엔모스 트랜지스터(N6)의 소스

에 연결이 되어 있다. 그리고, 제6 엔모스 트랜지스터(N6)의 게이트는 제2 워드 라인(SAL)에 연결이 되어 있고, 제6 엔모스 트랜지스터(N6)의 드레인은 제2 비트 라인(SDAL)에 연결이 되어 있다.

<50> 이와 같은 회로 구성에 의하면, 제1 워드 라인(WL), 제1 비트 라인(BL) 및 제1 상보 비트 라인(/BL)을 선택함으로써 메모리 노드(M1, M2)에 대하여 데이터를 읽고 쓰는 것이 가능하다. 이것이 첫 번째 포트이다. 그리고, 제2 워드 라인(SAL) 및 제2 비트 라인(SDOL)을 선택함으로써 역시 메모리 노드(M1)에 대하여 데이터를 읽는 것이 가능하다. 이것이 두 번째 포트이다. 특히, 이와 같은 등가회로도를 가진 메모리 장치에서는 두 번째 포트에 기초하여 데이터를 읽는 동작이 제1 포트의 동작과는 독립적으로 수행될 수 있으며, 메모리 노드(N1, N2)의 상태에 아무런 영향을 끼치지 않는다.

<51> 전술한 바와 같이, 이와 같은 등가회로도는 예전부터 널리 사용되고 있는 회로 구성이다. 그러나, 본 발명에 의하면 동일한 등가회로도를 구성하는 구성 소자를 실제 반도체 기판의 메모리 셀에 레이아웃하는 방법이 종래 기술과 다르다. 본 발명의 바람직한 실시예에 따른 도 3에 도시된 등가회로가 구현된 반도체 메모리 장치의 레이아웃은 도 4 내지 도 10에 도시되어 있다.

<52> 도 4에는 도 3에 도시된 등가회로를 구현하기 위한 첫 번째 레이어에 대한 레이아웃의 일 실시예가 도시되어 있다. 첫 번째 레이어에는 반도체 기판 및 이 반도체 기판에 형성된 하나의 피웰(PW)과 하나의 엔웰(NW), 피웰(PW)과 엔웰(NW)에 형성된 N+ 확산 영역(NA) 및 P+ 확산 영역(PA) 그리고 이 기판 상에 형성된 폴리실리콘 배선층(PL1 내지 PL5) 및 다수의 금속 콘택(MC)이 도시되어 있다.

- <53> 보다 구체적으로 살펴보면, 반도체 기판에는 하나의 피웰(PW) 및 하나의 엔웰(NW)이 형성되어 있다. 엔웰(NW)은 2개의 피모스 트랜지스터(P1 및 P2)가 형성될 영역이고, 피웰(PW)은 6개의 엔모스 트랜지스터(N1, N2, N3, N4, N5 및 N6)가 형성될 영역이기 때문에 피웰(PW)이 차지하는 면적이 엔웰(NW)이 차지하는 면적보다는 크다.
- <54> 그리고, 엔웰(NW)은 메모리 셀 전체에서 한쪽 모퉁이에 형성되는 것이 바람직하다. 왜냐하면, 본 발명에서는 피웰(PW) 및 엔웰(NW)이 접하는 면에 형성되는 격리 영역(isolation area, 도면에서 굵은 선으로 표시된 부분)이 차지하는 면적을 축소함으로써, 하나의 셀이 차지하는 면적을 축소하고자 하는 것이기 때문에 격리 영역을 최소화할 수 있도록 엔웰(NW)을 한쪽 모퉁이에 배치하는 것이 바람직하다.
- <55> 엔웰(NW)과 피웰(PW)이 각각 하나 씩만 형성되고 또한 엔웰(NW)이 셀 전체 중에서 한쪽 모퉁이에 배치되면, 엔웰(NW)과 피웰(PW)이 접하는 면에 형성되는 격리 영역을 축소시킬 수 있으며, 각 소자를 연결하고 데이터를 입, 출력하기 위한 배선 라인을 효율적으로 배치할 수가 있다. 본 발명과 같이 셀의 한쪽 모퉁이에 엔웰(NW)을 배치하는 레이아웃에 의하면, 전술한 미국 특허 제6,346,062호에 게시된 첫 번째 레이아웃과 비교했을 때, 단위 셀이 차지하는 면적을 약 6% 정도 줄일 수가 있다.
- <56> 그리고, 이와 같이 한쪽 모퉁이에 엔웰(NW)을 배치하게 되면 셀이 2개 또는 4개 집합된 경우에, 이 엔웰(NW)이 서로 인접하여 하나의 독립된 엔웰이 형성되게 할 수 있다. 그리고, 다른 구성 소자 및 배선 라인도 인접 셀과의 관계에서 대칭적으로 배열할 수가 있다. 이 경우에, 금속 콘택(MC)이나 비아 콘택(VC)을 포함한 각종 배선도 효율적으로 배치할 수 있는 장점이 있다. 4개의 셀이 모여서, 각 모퉁이에 형성된 엔웰(NW)들이 하나의 독립된 엔웰을 형성하고 있는 레이아웃의 일 예가 도 5에 도시되어 있다.

<57> 계속해서 도 4를 참조하면, 제1 및 제2 폴리실리콘 배선층(polysilicon wiring layer, PL1 및 PL2)이 엔웰(NW)에서부터 피웰(PW)까지 연장되어 격리 영역을 가로질러 형성된다. 제1 폴리실리콘 배선층(PL1) 및 제2 폴리실리콘 배선층(PL2)은 일정한 간격을 유지한 채 서로 평행하게 형성되는 것이 바람직하다. 엔웰(NW)에 위치하는 제1 및 제2 폴리실리콘 배선층(PL1 및 PL2)의 일단은 제1 피모스 트랜지스터(P1) 및 제2 피모스 트랜지스터(P2)의 게이트 전극의 역할을 하고, 피웰(PW)에 위치한 제1 및 제2 폴리실리콘 배선층(PL1 및 PL2)의 타단은 제1 엔모스 트랜지스터(N1) 및 제2 엔모스 트랜지스터(N2)의 게이트 전극의 역할을 한다.

<58> 도시된 바와 같이, 엔웰(NW)이 x축 방향의 길이가 긴 직사각형 모양으로 셀의 한쪽 모퉁이에 위치하게 되는 경우, 제1 및 제2 폴리실리콘 배선층(PL1 및 PL2)은 y축 방향으로 길게 형성하는 것이 바람직하다. 그리고, 피웰(PW) 영역에 위치하는 제1 및 제2 폴리실리콘 배선층(PL1 및 PL2)의 끝은, 제3 폴리실리콘 배선층(PL3)과 제3 엔모스 트랜지스터(N3) 및 제4 엔모스 트랜지스터(N4)가 형성될 공간을 확보하기 위하여 y축 방향으로 너무 높게 뻗어있지 않도록 하는 것이 바람직하다.

<59> 계속해서 도 4를 참조하면, 제3 폴리실리콘 배선층(PL3)이 피웰(PW)에 형성된다. 제3 폴리실리콘 배선층(PL3)은 메모리 셀을 기준으로 했을 때, 피웰(PW)의 한쪽 끝에서 반대편 끝까지 x축 방향으로 길게 형성된다. 이것은 제3 폴리실리콘 배선층(PL3)이 인접한 메모리 셀의 제3 폴리실리콘 배선층(PL3)과 x축 방향으로 계속 연결되어 있기 때문이다. 이와 같이, x축 방향으로 길게 연결된 제3 폴리실리콘 배선층(PL3)이 제1 워드 라인(WL)이 된다. 그리고, 제3 폴리실리콘 배선층(PL3)은 제3 엔모스 트랜지스터(N3) 및 제4 엔모스 트랜지스터(N4)의 게이트 전극으로서의 역할도 한다.

- <60> 제3 폴리실리콘 배선층(PL3)의 중간에 위치한 굽은 부분은 다른 소자 예컨대, 제5 엔모스 트랜지스터(N5) 및 제6 엔모스 트랜지스터(N6)의 배치를 고려한 것으로, 임의적인 것이다. 그러므로, 다른 실시예에서는 본 도면에서 나타나는 굽은 부분은 존재하지 않을 수도 있다.
- <61> 계속해서 도 4를 참조하면, 제5 엔모스 트랜지스터(N5) 및 제6 엔모스 트랜지스터(N6)의 게이트 전극으로서의 역할을 할 수 있는 제4 폴리실리콘 배선층(PL4) 및 제5 폴리실리콘 배선층(PL5)이 피웰(PW)에 형성된다. 여기서, 제5 폴리실리콘 배선층(PL5)의 한쪽 끝을 셀 경계 지역에 위치시킴으로써, 인접한 셀의 제5 폴리실리콘 배선층(도 5참조)과 연결되도록 형성하는 것이 바람직하다. 이렇게 하면, 제5 폴리실리콘 배선층(PL5)과 연결되는 금속 콘택(MC)을 인접한 2개의 셀이 공유하게 함으로써 금속 콘택(MC)의 수를 줄일 수 있다.
- <62> 이어서, N+ 활성 영역 및 P+ 활성 영역의 레이아웃에 대해서 살펴보기로 한다.
- <63> 계속해서 도 4를 참조하면, 제1 폴리실리콘 배선층(PL1)을 사이에 두고, 그 양쪽에 위치한 엔웰(NW)에 P형 불순물을 주입하여 P+ 활성 영역(PA11 및 PA12)을 형성한다. 그 결과, 제1 폴리실리콘 배선층(PL1)을 게이트 전극으로 사용하는 제1 피모스 트랜지스터(P1)가 형성된다. 제1 피모스 트랜지스터(P1)의 소스(PA12)는 전원 라인(Vdd)과 연결되도록 금속 콘택(MC)과 연결되며, 제1 피모스 트랜지스터(P1)의 드레인(PA11)은 상부 배선층 즉 제1 메모리 노드(N1)와 연결되도록 다른 금속 콘택(MC)과 연결된다.
- <64> 그리고, 제2 폴리실리콘 배선층(PL2)을 사이에 두고, 양옆의 피웰(PW)에 역시 P형 불순물을 주입하여 P+ 활성 영역(PA12 및 PA13)을 형성한다. 그 결과, 제2 폴리실리콘 배선층(PL2)을 게이트 전극으로 사용하는 제2 피모스 트랜지스터(P2)가 형성된다. 제2

피모스 트랜지스터(P2)의 소스(PA13)는 전원 라인(Vdd)과 연결되도록 금속 콘택(MC)과 연결되며, 제2 피모스 트랜지스터(P2)의 드레인(PA11)은 상부 배선층 즉 제2 메모리 노드(N2)와 연결되도록 다른 금속 콘택(MC)과 연결된다.

<65> 본 발명의 바람직한 실시예에 의하면, 제1 피모스 트랜지스터(P1)의 소스(PA12) 및 제2 피모스 트랜지스터(P2)의 소스(PA12)는 금속 콘택(MC)을 공유할 수 있다. 그러면, 단위 셀에 존재하는 금속 콘택(MC)의 수를 줄일 수 있다. 이 경우에 도시된 바와 같이, y축의 하방 즉, 제1 및 제2 폴리실리콘 배선층(PL1 및 PL2)이 뻗어 있는 방향과 반대 방향으로 돌출된 부분이 있도록 N+ 활성 영역을 형성하고, 여기에 공유 금속 콘택(MC)을 형성하는 것이 더욱 바람직하다.

<66> 제1 및 제2 피모스 트랜지스터(P1 및 P2)의 소스(PA12)가 공유 금속 콘택(MC)과 연결되는 경우, 그 공유 금속 콘택(MC)은 셀의 경계면에서 제1 및 제2 피모스 트랜지스터(P1 및 P2)의 소스(PA12)와 연결되도록 하는 것이 바람직하다. 제1 및 제2 피모스 트랜지스터(P1 및 P2)의 소스(PA12)와 공유 금속 콘택(MC)이 셀의 경계면에서 연결되면, 인접한 셀의 제1 및 제2 피모스 트랜지스터의 소스도 이 공유 금속 콘택(MC)을 통하여 연결할 수 있다. 그러면, 전체 반도체 메모리 장치에서 금속 콘택의 수를 줄일 수가 있다.

<67> 이와 같은 배치는 2개 또는 4개의 셀이 모여서 하나의 독립된 엔웰(NW)을 형성하고, 이 엔웰(NW)이 주변 피웰(PW)에 둘러싸여 고립되는 경우에 더욱 유용하다. 주변 피웰(PW)에 의하여 고립된 엔웰(NW)에는 웰 콘택을 통하여 웰 파워(well power)를 공급할 필요가 있는데, 전술한 바와 같이 금속 콘택(MC)이 셀의 경계면에 위치하는 경우에는 이 금속 콘택(MC)을 통하여 독립된 엔웰(NW) 즉 2개 또는 4개의 셀에 형성된 엔웰(NW)에 웰 파워를 동시에 공급할 수가 있다.

<68> 엔웰(NW)에 웰 파워를 공급하는 역할도 함께 하는 금속 콘택(MC)을 형성할 경우에, 이 금속 콘택(MC)과 P+ 활성 영역(PA12)이 연결되는 곳에 N형 불순물을 주입하여, N+ 활성 영역(NA11)을 더 형성하는 것이 바람직하다. 이는 웰 파워가 공급되는 곳에 다이오드(diode)가 형성되어 반도체 장치의 전기적 특성이 열화되는 것을 방지하기 위해서이다. 즉, 본 발명의 바람직한 실시예에 의하면, 셀 경계면에 위치하고 있는 P+ 활성 영역(PA12)의 돌출된 부분에 추가적으로 N+ 활성 영역(NA11)이 형성되며, 그 상부에 금속 콘택(MC)이 위치한다.

<69> 도 6은 도 4의 AA'라인을 따라 취한 개략적인 단면도가 도시되어 있다. 도 6에는 제1 피모스 트랜지스터(P1) 소스 및 제2 피모스 트랜지스터(P2)의 소스와 연결되며 또한, 고립된 엔웰(NW)에 전원을 공급하는 역할도 함께 하는 금속 콘택(MC)과 그 하부의 N+ 활성 영역(NA11) 그리고 P+ 활성 영역(PA12) 그리고, N+ 활성 영역(NA11) 및 P+ 활성 영역(PA12)을 연결하는 실리사이드가 도시되어 있다.

<70> 도 6을 참조하면, 반도체 기판에 형성된 엔웰(NW)에 웰 파워를 공급하기 위한 N+ 활성 영역 및 P+ 활성 영역이 각각 형성되어 있다. 그리고, N+ 활성 영역 및 P+ 활성 영역의 상부에는 실리사이드가 형성되어 있다. 금속 콘택(MC)을 통하여 공급되는 전류는 실리사이드를 통하여 흐르게 되면, 그 결과 하나의 금속 콘택을 통하여 N+ 활성 영역만이 아니라 P+ 활성 영역에도 전원이 공급될 수 있다.

<71> 이와 같이 트랜지스터의 소스에 연결되는 전원 라인(Vdd Line)과 고립된 웰에 에너지를 공급하는 웰 파워 라인(well power line)이 하나의 금속 콘택을 공유하기 때문에, 웰 파워 라인과 연결되는 금속 콘택을 추가적으로 형성할 필요가 없다. 따라서, 추가적인 금속 콘택으로 인하여 단위 셀이 면적이 증가하는 것을 방지할 수 있다.

<72> 도 7에는 본 발명의 다른 바람직한 실시예에 의한 반도체 메모리 셀의 레이아웃이 도시되어 있다. 도 7을 참조하면, 도 4의 반도체 메모리 셀 레이아웃에 엔웰 브리지(NW bridge)가 더 추가되었다. 이 엔웰 브리지는 피웰(PW)에 N형 불순물을 주입함으로써 형성되는데, 엔웰(NW)과 피웰(PW)의 경계면과 셀 경계면 사이에 위치한 피웰(PW)에 형성하는 것이 바람직하다.

<73> 이와 같이, 각 셀에 엔웰 브리지를 추가하면 웰 콘택을 통하지 않고도 고립된 엔웰(NW)에 전원을 공급할 수가 있다. 즉, 셀 어레이(cell array)의 외부로부터 이 엔웰 브리지를 통하여 고립된 엔웰(NW)에 전원을 공급한다. 그러나, 웰 콘택이 없이 엔웰 브리지만 형성되어 있는 경우에는 고립된 엔웰(NW)에 전원을 충분히 공급하기가 어렵다. 그것은 엔웰 브리지의 저항이 상당히 크기 때문이다. 따라서, 엔웰 브리지는 웰 콘택이 있는 형성되어 있는 구조에 추가하여 형성하는 것이 바람직하다.

<74> 계속해서 도 4를 참조하면, 제1 폴리실리콘 배선층(PL1)을 사이에 두고, 양옆의 피웰(PW)에 N형 불순물을 주입하여 N+ 활성 영역(NA11 및 NA12)을 형성한다. 그 결과, 제1 폴리실리콘 배선층(PL1)을 게이트 전극으로 사용하는 제1 엔모스 트랜지스터(N1)가 형성된다.

<75> 그리고, 제2 폴리실리콘 배선층(PL2)을 사이에 두고, 양옆의 엔웰(NW)에 역시 N형 불순물을 주입하여 N+ 활성 영역(NA12 및 NA13)을 형성한다. 그 결과, 제2 폴리실리콘 배선층(PL2)을 게이트 전극으로 사용하는 제2 엔모스 트랜지스터(N2)가 형성된다.

<76> 제1 폴리실리콘 배선층(PL1) 및 제2 폴리실리콘 배선층(PL2) 사이에 형성되는 N+ 활성 영역(NA22)은 돌출된 부분이 생기도록 하는 것이 바람직하다. 돌출된 부분이 있으면, 금속 콘택(MC)을 통하여 돌출된 N+ 활성 영역(NA22) 즉 제1 엔모스 트랜지스터(N1)

및 제2 엔모스 트랜지스터(N2)의 소스 영역이 상부의 그라운드 라인(ground line)과 효율적으로 연결되도록 할 수가 있다. 또한 이 금속 콘택(MC)을 제1 엔모스 트랜지스터(N1) 및 제2 엔모스 트랜지스터(N2)가 공유할 수 있게 함으로써 단위 셀에 포함되는 금속 콘택(MC)의 수도 줄일 수 있다.

<77> 계속해서 도 4를 참조하면, 제3 폴리실리콘 배선층(PL3)을 사이에 두고 양옆의 퍼웰(PW)에 N형 불순물을 주입하여 N+ 활성 영역(NA21, NA23, NA24 및 NA25)을 형성한다. 그 결과, 제3 폴리실리콘 배선층(PL3)을 게이트 전극으로 사용하는 제3 엔모스 트랜지스터(N3)가 형성된다. 제3 엔모스 트랜지스터(N3)의 소스(NA21)는 제1 엔모스 트랜지스터(N1)의 드레인과 연결된다. 제3 엔모스 트랜지스터(N3)의 드레인(NA24)은 금속 콘택(MC)을 통하여 상부 배선층(upper wiring layer)과 연결된다. 이 금속 콘택(MC)은 인접한 셀과 공유될 수 있도록 셀 경계면에 형성하는 것이 바람직하다.

<78> 그리고, 제3 폴리실리콘 배선층(PL3)을 게이트 전극으로 사용하는 제4 엔모스 트랜지스터(N4)도 형성된다. 제4 엔모스 트랜지스터(N4)의 소스(NA23)는 제2 엔모스 트랜지스터(N2)의 드레인과 연결된다. 제4 엔모스 트랜지스터(N3)의 드레인(NA25)은 다른 금속 콘택(MC)을 통하여 상부 배선층(upper wiring layer)과 연결된다. 이 금속 콘택(MC)은 인접한 셀과 공유될 수 있도록 셀 경계면에 형성하는 것이 바람직하다.

<79> 따라서, 제1 엔모스 트랜지스터(N1)가 제3 엔모스 트랜지스터(N3)와 직렬로 연결되어 있다. 또한 도시된 바와 같이 제1 폴리실리콘 배선층(PL1)과 제3 폴리실리콘 배선층(PL3)이 수직으로 배치되는 경우에는, 제1 엔모스 트랜지스터(N1)의 드레인과 제3 엔모스 트랜지스터(N3)의 소스가 연결되는 영역인 N+ 활성 영역(NA21)은 굽은 모양이 될 수

있다. 여기서, N+ 활성 영역(NA21)은 제1 메모리 노드(M1)에 해당하는 지점이다. 이 N+ 활성 영역(NA21)은 금속 콘택(MC)을 통하여 상부 배선층과 연결된다.

<80> 마찬가지로, 제2 엔모스 트랜지스터(N2)가 제4 엔모스 트랜지스터(N4)와 직렬로 연결되어 있다. 또한 도시된 바와 같이 제2 폴리실리콘 배선층(PL2)과 제3 폴리실리콘 배선층(PL3)이 수직으로 배치되는 경우에는, 제2 엔모스 트랜지스터(N2)의 드레인과 제4 엔모스 트랜지스터(N4)의 소스가 연결되는 영역인 N+ 활성 영역(NA23)은 굽은 모양이 될 수 있다. 여기서, N+ 활성 영역(NA23)은 제2 메모리 노드(M2)에 해당하는 지점이다. 이 N+ 활성 영역(NA23)은 다른 금속 콘택(MC)을 통하여 상부 배선층과 연결된다.

<81> 그리고, 제2 엔모스 트랜지스터(N2)의 드레인과 제4 엔모스 트랜지스터(N4)의 소스가 연결되는 영역인 N+ 활성 영역(NA21)의 일부와 제4 폴리실리콘 배선층(PL4)의 일단이 서로 겹치도록 하는 것이 바람직하다. 이 경우에 제1 메모리 노드(N1)에 해당하는 지점과 상부 금속 배선층(도 7의 ML12)을 연결하는 금속 콘택(MC)을 이용하여, 제5 엔모스 트랜지스터(N5)의 게이트 전극 역할을 하는 제4 폴리실리콘 배선층(PL4)도 전기적으로 함께 연결할 수 있다. 그러면, 제1 메모리 노드(N1)에 제4 폴리실리콘 배선층(PL4)도 전기적으로 함께 연결할 수가 있다.

<82> 계속해서 도 4를 참조하면, 제4 폴리실리콘 배선층(PL4)의 다른 쪽 끝을 사이에 두고, 옆에 위치한 피엘(PW)에 N형 불순물을 주입하여 N+ 활성 영역(NA31 및 NA32)을 형성한다. 그 결과, 제4 폴리실리콘 배선층(PL4)을 게이트 전극으로 사용하며, 소스 및 드레인은 각각 참조 부호가 NA32 및 NA31인 N+ 활성 영역으로 제5 엔모스 트랜지스터(N5)가 형성된다. 제5 엔모스 트랜지스터(N5)의 드레인 영역(NA31)은 금속 콘택(MC)을 통하여

상부 배선층(제2 비트 라인)과 연결된다. 그리고, 이 금속 콘택(MC)은 인접한 셀과 공유될 수 있도록 셀의 경계면에 형성되는 것이 바람직하다.

<83> 또한, 제5 폴리실리콘 배선층(PL5)의 일단을 사이에 두고, 옆에 위치한 피웰(PW)에 N형 불순물을 주입하여 N⁺ 활성 영역(NA32 및 NA33)을 형성한다. 그 결과, 제5 폴리실리콘 배선층(PL5)을 게이트 전극으로 사용하며, 소스 및 드레인 각각 참조 부호가 NA33 및 NA32인 N⁺ 활성 영역으로 제6 엔모스 트랜지스터(N6)가 형성된다. 제6 엔모스 트랜지스터(N6)의 소스 영역(NA33)은 다른 금속 콘택(MC)을 통하여 상부 배선층(그라운드 라인)과 연결된다.

<84> 폴리실리콘 배선층(PL1, PL2, PL3, PL4 및 PL5)도 각각 다른 금속 콘택(MC)을 통하여 상부 배선층과 연결이 된다. 다만, 제3 폴리실리콘 배선층(PL3)에 연결되는 금속 콘택(MC)은 도시되어 있지 않은데, 이는 제3 폴리실리콘 배선층(PL3)은 인접한 셀의 제3 폴리실리콘 배선층과 x축 방향으로 서로 연결되어 있기 때문이다.

<85> 다음으로, 도 4의 상부에 위치하는 반도체 메모리 장치의 메모리 셀 레이아웃에 대하여 살펴보기로 한다. 도 8에는 도 4에 도시된 레이아웃의 상부에 형성되는 반도체 메모리 장치의 레이아웃의 일 실시예가 도시되어 있다. 도 8에서 점선으로 표시된 부분은 엔웰(NW)과 피웰(PW)의 경계면 즉 격리 영역이 위치하는 영역이다.

<86> 도 8을 참조하면, 도 4에 도시된 레이어(layer)의 상부에 위치하는 제1 금속 배선층(Metal Layer)이 도시되어 있다. 제1 메모리 노드(M1)에 전기적으로 연결되는 도전체들, 즉 제1 피모스 트랜지스터(P1)의 드레인(PA11)과 연결되는 금속 콘택(MC), 제1 엔모스 트랜지스터(N1)의 드레인과 제3 엔모스 트랜지스터(N3)의 소스(NA21)가 연결되며 그리고 제4 폴리실리콘 배선층(PL4)이 연결되는 금속 콘택(MC), 그리고 제2 피모스 트랜지

스터(P2) 및 제2 엔모스 트랜지스터(N2)의 게이트 전극으로서의 역할을 하는 제2 폴리실리콘 배선층(PL2)과 연결되는 금속 콘택(MC)을 전기적으로 연결하는 제1 금속 배선층(ML11)이 형성된다.

<87> 도 3의 등가회로도에 도시된 바와 같이, 제1 금속 배선층(ML11)에 의하여 제1 엔모스 트랜지스터(N1)의 드레인, 제3 엔모스 트랜지스터(N3)의 소스, 제1 피모스 트랜지스터(P1)의 드레인 및 제2 씨모스 인버터의 입력 단자가 전기적으로 연결된다.

<88> 게다가, 제2 메모리 노드(M2)에 전기적으로 연결되는 도전체들, 즉 제2 피모스 트랜지스터(P2)의 드레인(PA13)과 연결되는 금속 콘택(MC), 제2 엔모스 트랜지스터(N2)의 드레인과 제4 엔모스 트랜지스터(N4)의 소스(NA23)가 연결되는 금속 콘택(MC), 그리고 제1 피모스 트랜지스터(P1) 및 제1 엔모스 트랜지스터(N1)의 게이트 전극으로서의 역할을 하는 제1 폴리실리콘 배선층(PL1)과 연결되는 금속 콘택(MC)을 전기적으로 연결하는 제1 금속 배선층(ML12)이 동일한 레이어에 형성된다.

<89> 도 3의 등가회로도에 도시된 바와 같이, 제1 금속 배선층(ML12)에 의하여 제2 엔모스 트랜지스터(N2)의 드레인, 제4 엔모스 트랜지스터(N4)의 소스, 제2 피모스 트랜지스터(P2)의 드레인 및 제1 씨모스 인버터의 입력 단자가 전기적으로 연결된다.

<90> 게다가, 금속 콘택(MC)을 통하여 N+ 확산 영역(NA22)에 그라운드 포텐셜(ground potential)을 인가하고, 또 다른 금속 콘택(MC)을 통하여 N+ 확산 영역(NA31)에 그라운드 포텐셜(Vss)을 인가할 수 있도록, 이 금속 콘택(MC)들을 연결하는 제1 금속 배선층(M13)이 형성된다. 다시 말하면, 제1 금속 배선층(M13)은 그라운드 포텐셜 라인(Vss line)의 역할을 하며, 그 결과 제1 및 제2 엔모스 트랜지스터(N1 및 N2)의 소스(NA22)와 제5 엔모스 트랜지스터(N5)의 소스(NA31)가 그라운드 상태가 된다.

- <91> 게다가, 도 8에 도시된 레이어들의 상부에 형성되는 제2 금속 배선층 및 제3 금속 배선층 등과 전기적으로 연결하기 위한 제1 금속 배선층(M14, M15, M16 및 M17)이 각각 형성되어 있다.
- <92> 게다가, 금속 콘택(MC)을 통하여 엔웰(NW)에 형성되어 있는 P+ 활성 영역(PA12) 및 이 P+ 활성 영역 내에 웰 전원을 공급하기 위하여 형성된 N+ 활성 영역(NA11)에 전원 포텐셜(power source potential, Vdd)을 인가할 수 있도록 제1 금속 배선층(M18)이 형성된다. 다시 말하면, 제1 금속 배선층(M18)은 전원 포텐셜 라인(Vdd line)의 역할을 하며, 그 결과 제1 피모스 트랜지스터(P1)의 소스(PA12)와 전원이 전기적으로 연결되며, 제2 피모스 트랜지스터(P2)의 소스(PA12)와 전원도 전기적으로 연결된다. 또한, 제1 금속 배선층(M18)은 엔웰(NW)이 고립된 경우에도 웰 콘택의 역할을 하는 금속 콘택(MC)을 통하여 엔웰(NW)과 전기적으로 연결된다.
- <93> 각각 그라운드 포텐셜 라인(Vss line) 및 전원 포텐셜 라인(Vdd line)의 역할을 하는 제1 금속 배선층(M13 및 M18)은 x축 방향으로 길게 뻗어 있도록 형성하는 것이 바람직하다. 그리고, 2개 또는 4개의 셀에 형성된 엔웰(NW)이 모여 독립된 엔웰을 형성하는 경우, 제1 금속 배선층(M18) 즉 전원 포텐셜 라인(Vdd line)은 셀의 경계면 상에 형성하는 것이 바람직하다.
- <94> 다음으로, 도 8의 상부에 위치하는 반도체 메모리 장치의 레이아웃에 대하여 구체적으로 살펴보기로 한다. 도 9에는 도 8에 도시된 레이아웃의 상부에 형성되는 반도체 메모리 장치의 레이아웃의 일 실시예가 도시되어 있다. 도 9에서 점선으로 표시된 부분도 역시 엔웰(NW)과 피웰(PW)의 경계면 즉 격리 영역이 위치하는 영역이다.

<95> 도 9를 참조하면, 도 9에는 도 8에 도시된 레이어의 상부에 위치하는 제2 금속 배선층(Metal Layer)이 도시되어 있다. 제2 워드 라인(스캔 어드레스 라인(Scan Address Line, SAL)이라고도 한다)이 x축과 평행하게 형성되는데, 제2 워드 라인(SAL)은 제5 폴리실리콘 배선층(PL5)과 전기적으로 연결된다. 이를 위하여, 셀의 경계면에 위치한 비아 콘택(VC1)과 연결되며, 이 비아 콘택(VC1)은 도 8에 도시된 바와 같이 제5 폴리실리콘 배선층(PL5)과 연결된 금속 콘택(MC)과 연결되어 있다. 제2 워드 라인(SAL)은 제1 워드 라인 즉 도 4에 도시된 제3 폴리실리콘 배선층(PL3)과 평행하게 형성하는 것이 바람직하다.

<96> 게다가, 도 9에 도시된 레이어들의 상부에 형성되는 금속 배선층 등과 연결하기 위하여 제1 비아 콘택(VC1) 및 제2 비아 콘택(VC2)을 연결하기 위한 제2 금속 배선층(M23, M24 및 M26)이 각각 형성된다.

<97> 다음으로, 도 9의 상부에 위치하는 반도체 메모리 장치의 레이아웃에 대하여 살펴보기로 한다. 도 10에는 도 9에 도시된 레이아웃의 상부에 도시되는 반도체 메모리 장치의 레이아웃의 일 실시예가 도시되어 있다. 도 10에서 점선으로 표시된 부분도 역시 엔웰(NW)과 피웰(PW)의 경계면 즉 격리 영역이 위치하는 영역이다.

<98> 도 10을 참조하면, 도 10에는 도 9에 도시된 레이어의 상부에 위치하는 제3 금속 배선층(Metal Layer)이 도시되어 있다. 제1 비트 라인(BL) 및 제1 상보 비트 라인(/BL)이 서로 평행하게 y축 방향으로 셀의 한쪽 끝에서 다른 쪽 끝까지 형성되어 있다. 제1 비트 라인(BL) 및 제1 상보 비트 라인(/BL)은 통상적으로 제1 워드 라인과 수직한 방향으로 형성된다.

<99> 그리고, 제1 비트 라인(BL) 및 제1 상보 비트 라인(/BL)은 한쪽 끝 즉, 한쪽 셀의 경계면에서 제2 비아 콘택(VC2)과 연결되어 제3 금속 배선층(ML34 및 ML33)을 형성한다. 그 결과, 예를 들어, 제1 비트 라인(BL)은 제3 금속 배선층(ML34)에서 제2 비아 콘택(VC2)과 연결되고, 제2 비아 콘택(VC2)은 제2 금속 배선층(ML24)에서 제1 비아 콘택(VC1)과 연결되며(도 9참조), 제1 비아 콘택(VC1)은 제1 금속 배선층(ML14)에서 금속 콘택(MC)과 연결되며(도 8참조), 그리고 이 금속 콘택(MC)은 제3 엔모스 트랜지스터(N3)의 드레인과 연결되어 있으므로(도 4참조), 제1 비트 라인(BL)이 제3 엔모스 트랜지스터(N3)의 드레인과 전기적으로 연결이 되게 된다.

<100> 또한, 제1 상보 비트 라인(/BL)은 제3 금속 배선층(ML33)에서 제2 비아 콘택(VC2)과 연결되고, 제2 비아 콘택(VC2)은 제2 금속 배선층(ML23)에서 제1 비아 콘택(VC1)과 연결되며(도 9참조), 제1 비아 콘택(VC1)은 제1 금속 배선층(ML15)에서 금속 콘택(MC)과 연결되며(도 8참조), 그리고 이 금속 콘택(MC)은 제4 엔모스 트랜지스터(N4)의 드레인과 연결되어 있으므로(도 4참조), 제1 상보 비트 라인(/BL)이 제4 엔모스 트랜지스터(N4)의 드레인과 전기적으로 연결이 되게 된다.

<101> 계속해서 도 10을 참조하면, 제2 비트 라인(스캔 데이터 아웃 라인(Scan Data Out Line, SDOL)이라고도 한다)이 y축 방향으로 셀의 한쪽 끝에서 다른 쪽 끝까지 형성되어 있다. 제2 비트 라인(SDOL)은 제1 비트 라인과 평행한 방향으로 형성되는 것이 바람직하다.

<102> 그리고, 제2 비트 라인(SDOL)은 셀 내부의 임의의 한 지점에서 제2 비아 콘택(VC2)과 연결되어 제3 금속 배선층(ML36)을 형성한다. 그 결과, 제2 비트 라인(SDOL)은 제3 금속 배선층(ML36)에서 제2 비아 콘택(VC2)과 연결되고, 제2 비아 콘택(VC2)은 제2 금속

배선층(ML26)에서 제1 비아 콘택(VC1)과 연결되며(도 9참조), 제1 비아 콘택(VC1)은 제1 금속 배선층(ML17)에서 금속 콘택(MC)과 연결되며(도 8참조), 그리고 이 금속 콘택(MC)은 제6 엔모스 트랜지스터(N6)의 드레인과 연결되어 있으므로(도 4참조), 제2 비트 라인(SDOL)이 제6 엔모스 트랜지스터(N6)의 드레인과 전기적으로 연결이 되게 된다.

<103> 제1 비트 라인(BL), 제1 상보 비트 라인(/BL) 및 제2 비트 라인(SDOL)은 셀의 한쪽 끝에서 다른 쪽 끝까지 서로 평행하게 형성하는 것이 바람직하다. 그 결과, 서로 다른 메모리 셀에 형성된 제3 엔모스 트랜지스터(N3)의 드레인 단자가 제1 비트 라인(BL)을 통하여 서로 연결이 되며, 서로 다른 메모리 셀에 형성된 제4 엔모스 트랜지스터(N4)의 드레인 단자가 제1 상보 비트 라인(/BL)을 통하여 서로 연결이 되며, 그리고 서로 다른 메모리 셀에 형성된 제6 엔모스 트랜지스터(N6)의 드레인 단자가 제2 비트 라인(SDOL)을 통하여 서로 연결된다.

<104> 다음으로, 본 발명의 제2 실시예에 따른 이중 포트 반도체 메모리 장치에 대하여 살펴보기로 한다. 도 11에 본 발명의 제2 실시예에 따른 이중 포트 반도체 메모리 장치에 대한 등가회로도(11)가 도시되어 있다. 도 11에 도시된 등가회로도에는 도 3에 도시된 것과 달리 총 7개의 모스 트랜지스터가 포함되어 있다. 도 3에 도시된 것과 동일한 구성 소자는 동일한 참조 번호를 사용하였다.

<105> 도 11을 참조하면, 제1 피모스 트랜지스터(P1) 및 제1 엔모스 트랜지스터(N1)는 제1 씨모스 인버터를 구성한다. 그리고, 제2 피모스 트랜지스터(P2) 및 제2 엔모스 트랜지스터(N2)는 제2 씨모스 인버터를 구성한다. 이들 씨모스 인버터들의 입력 단자 및 출력 단자는 서로 교차하여 연결되어 있으며, 따라서 이 네 개의 모스 트랜지스터(P1, P2, N1 및 N2)는 플립-플롭(flip-flop) 회로를 구성한다. 이 등가회로도에 의하면, 제1 씨모스

인버터의 출력 단자이고 제2 씨모스 인버터의 입력 단자인 제1 메모리 노드(M1)와 제2 씨모스 인버터의 출력 단자이고 제1 씨모스 인버터의 입력 단자인 제2 메모리 노드(M2)에서 데이터를 읽고 쓰는 동작이 가능하다.

<106> 제3 엔모스 트랜지스터(N3) 및 제4 엔모스 트랜지스터(N4)는 패스 트랜지스터이다. 즉 각각 제1 메모리 노드(N1) 및 제2 메모리 노드(N2)에 대한 액세스 트랜지스터의 역할을 한다. 제3 엔모스 트랜지스터(N3)의 게이트는 제1 워드 라인(WL)에 연결되어 있으며, 소스는 제1 메모리 노드(N1), 드레인은 제1 비트 라인(BL)에 연결되어 있다. 제4 엔모스 트랜지스터(N4)의 게이트도 제1 워드 라인(WL)에 연결되어 있으며, 소스는 제2 메모리 노드(N2), 드레인은 제1 상보 비트 라인(/BL)에 연결되어 있다.

<107> 제5 엔모스 트랜지스터(N5')는 더블 포트를 실현하기 위하여 단일 포트 트랜지스터에 추가된 것이다. 즉, 제5 엔모스 트랜지스터(N5')의 소스는 제1 메모리 노드(N1)에 연결되어 있으므로, 제5 엔모스 트랜지스터(N5')를 동작시켜서 제1 메모리 노드(M1)에 저장된 데이터를 읽는 것이 가능하다. 그리고, 제5 엔모스 트랜지스터(N5')의 게이트는 제2 워드 라인(SAL)에 연결이 되어 있고, 제5 엔모스 트랜지스터(N5')의 드레인은 제2 비트 라인(SDAL)에 연결이 되어 있다.

<108> 이와 같은 회로 구성에 의하면, 제1 워드 라인(WL), 제1 비트 라인(BL) 및 제1 상보 비트 라인(/BL)을 선택함으로써 메모리 노드(M1, M2)에 대하여 데이터를 읽고 쓰는 것이 가능하다. 이것이 첫 번째 포트이다. 그리고, 제2 워드 라인(SAL) 및 제2 비트 라인(SDOL)을 선택함으로써 역시 메모리 노드(M1)에 대하여 데이터를 읽는 것이 가능하다. 이것이 두 번째 포트이다. 특히, 이와 같은 등가회로도들 가

진 메모리 장치에서는 두 번째 포트에 기초하여 데이터를 읽는 동작이 제1 포트의 동작과는 독립적으로 수행될 수 있으며, 메모리 노드(N1, N2)의 상태에 아무런 영향을 끼치지 않는다.

<109> 전술한 바와 같이, 이와 같은 등가회로도에는 예전부터 널리 사용되고 있는 회로 구성이다. 그러나, 본 발명에 의하면 이러한 등가회로도를 실제 반도체 기판에 레이아웃하는 방법이 종래 기술과 다르다. 즉, 본 발명에 의한 레이아웃에서는 제1 피웰(PW1)/엔웰(NW)/제2 피웰(PW2)과 메모리 셀이 3개의 웰로 나누어 구분되는 것이 아니라, 제1 실시예와 같이 각각 하나의 엔웰(NW)과 피웰(PW)로 나누어진다. 그리고, 그 구체적인 배치는 여러 가지로 실현될 수 있다.

<110> 일 예로, 도 4에 도시된 것과 같이 엔웰(NW)에 제1 피모스 트랜지스터(P1) 및 제2 피모스 트랜지스터(P2)가 형성되며, 나머지 제1 엔모스 트랜지스터(N1), 제2 엔모스 트랜지스터(N2), 제3 엔모스 트랜지스터(N3), 제4 엔모스 트랜지스터(N4) 및 제5 엔모스 트랜지스터(N5')는 피웰(PW)에 형성이 된다. 다만, 제5 엔모스 트랜지스터(N5')는 제 1 실시예의 제5 엔모스 트랜지스터(N5) 및 제6 엔모스 트랜지스터(N6)에 상당하는 역할을 한다. 따라서, 제5 엔모스 트랜지스터(N5')의 배열 및 이를 연결하는 배선은 이를 고려하여 도 4 내지 도 10의 구성과는 다르게 배치되어야 하며, 그 구체적인 배치는 제1 실시예를 참조하면 당업자에게 명확할 것이다.

【발명의 효과】

<111> 본 발명에 의하면, 하나의 엔웰(NW) 및 하나의 피웰(PW)을 포함하는 메모리

셀에 이중 포트 반도체 메모리 장치를 구현할 수 있다. 따라서, 메모리 셀이 하나의 엔웰(NW) 및 이 엔웰(NW)의 양옆에 위치한 두 개의 피웰(PW)을 포함하고 있는 경우보다 각 웰이 접하는 부분을 축소시킬 수가 있다. 따라서, 서로 다른 웰이 접하는 곳에 형성되는 격리 영역이 차지하는 면적을 감소시킬 수가 있다. 단위 셀에서 격리 영역이 차지하는 면적이 줄어들기 때문에 궁극적으로는 단위 셀이 차지하는 면적을 축소시킬 수가 있다.

<112> 단위 셀이 차지하는 면적이 축소되면 집적도의 향상에 유리할 뿐만이 아니라 단위 셀을 구성하는 소자를 연결하기 위한 배선층(wiring layer)의 길이를 줄일 수 있다. 따라서, 본 발명에 의한 반도체 메모리 장치는 동작 속도가 향상되며, 소비 전력도 그만큼 줄어든다.

<113> 또한, 본 발명의 일 실시예에서 엔웰(NW)이 피웰(PW)에 둘러싸여 고립되는 경우에도 웰 콘택을 추가적으로 형성할 필요가 없다. 즉, 전원 포텐셜 라인과 연결되는 금속 콘택이 형성되는 위치에 N형 불순물을 주입하여 N+ 활성 영역을 형성하고, 이 N+ 활성 영역과 주위의 P+ 활성 영역을 실리사이드를 통하여 연결되도록 함으로써 Vdd 라인이 웰 파워 라인의 역할도 겸하도록 할 수 있다. 따라서, 본 발명의 일 실시예에 의하면 웰 콘택을 형성하기 위하여 메모리 셀의 면적이 추가적으로 증가하는 것을 방지할 수 있다.

<114> 상기한 바와 같이 금속 콘택을 공유하여 웰 파워를 공급하는 것이 충분하지 못한 경우에는, 피웰(PW)의 일부 영역에 엔웰 브리지를 추가하여 고립된 엔웰들을 연결함으로써, 엔웰 브리지를 통하여 웰 파워가 충분하게 공급되도록 할 수도 있다.

【특허청구범위】**【청구항 1】**

P+ 활성 영역이 형성된 하나의 엔웰(n-well) 및 N+ 활성 영역이 형성된 하나의 피웰(p-well)로 나누어진 메모리 셀(memory cell)을 포함하는 반도체 기판;

제 1 워드 라인;

제2 워드 라인(scan address line);

제 1 비트 라인;

제1 상보 비트 라인;

제 2 비트 라인(scan data out line);

제1 엔모스 트랜지스터(NMOS transistor), 제1 피모스 트랜지스터(PMOS transistor) 및 입력 단자(input terminal)와 출력 단자(output terminal)를 포함하는 제1 씨모스 인버터(CMOS inverter);

제 2 엔모스 트랜지스터, 제2 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제2 씨모스 인버터로서, 상기 제2 씨모스 인버터의 입력 단자는 상기 제1 씨모스 인버터의 출력 단자에 연결되어 제1 메모리 노드(memory node)를 구성하고, 그리고 상기 제2 씨모스 인버터의 출력 단자는 상기 제1 씨모스 인버터의 입력 단자에 연결되어 제2 메모리 노드를 구성하는 제2 씨모스 인버터;

게이트가 상기 제1 워드 라인에 연결되고, 드레인은 상기 제1 비트 라인에 연결되며, 그리고 소스가 상기 제1 메모리 노드에 연결되어 있는 제3 엔모스 트랜지스터;

게이트가 상기 제1 워드 라인에 연결되고, 드레인은 상기 제1 상보 비트 라인에 연결되며, 그리고 소스가 상기 제2 메모리 노드에 연결되어 있는 제4 엔모스 트랜지스터 ;

게이트가 상기 제1 메모리 노드에 연결되고 그리고 소스는 그라운드 라인(ground line)에 연결되어 있는 제5 엔모스 트랜지스터; 및

게이트가 상기 제2 워드 라인에 연결되고, 소스는 상기 제5 엔모스 트랜지스터의 드레인에 연결되어 있으며, 그리고 드레인은 상기 제2 비트 라인에 연결되어 있는 제6 엔모스 트랜지스터를 포함하는 반도체 메모리 장치로서, 상기 제1 피모스 트랜지스터 및 제2 피모스 트랜지스터는 상기 반도체 기판에 형성된 상기 엔웰의 P+ 활성 영역에 위치하고, 상기 제1 엔모스 트랜지스터, 제2 엔모스 트랜지스터, 제3 엔모스 트랜지스터, 제4 엔모스 트랜지스터, 제5 엔모스 트랜지스터 및 제6 엔모스 트랜지스터는 상기 반도체 기판에 형성된 상기 피웰의 N+ 활성 영역에 위치하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

P+ 활성 영역이 형성된 하나의 엔웰(n-well) 및 N+ 활성 영역이 형성된 하나의 피웰(p-well)로 나누어진 메모리 셀(memory cell)을 포함하는 반도체 기판;

제 1 워드 라인;

제2 워드 라인(scan address line);

제 1 비트 라인;

제1 상보 비트 라인;

제 2 비트 라인(scan data out line);

제1 엔모스 트랜지스터(NMOS transistor), 제1 피모스 트랜지스터(PMOS transistor) 및 입력 단자(input terminal)와 출력 단자(output terminal)를 포함하는 제1 씨모스 인버터(CMOS inverter);

제 2 엔모스 트랜지스터, 제2 피모스 트랜지스터 및 입력 단자와 출력 단자를 포함하는 제2 씨모스 인버터로서, 상기 제2 씨모스 인버터의 입력 단자는 상기 제1 씨모스 인버터의 출력 단자에 연결되어 제1 메모리 노드(memory node)를 구성하고, 그리고 상기 제2 씨모스 인버터의 출력 단자는 상기 제1 씨모스 인버터의 입력 단자에 연결되어 제2 메모리 노드를 구성하는 제2 씨모스 인버터;

게이트가 상기 제1 워드 라인에 연결되고, 드레인은 상기 제1 비트 라인에 연결되며, 그리고 소스가 상기 제1 메모리 노드에 연결되어 있는 제3 엔모스 트랜지스터;

게이트가 상기 제1 워드 라인에 연결되고, 드레인은 상기 제1 상보 비트 라인에 연결되며, 그리고 소스가 상기 제2 메모리 노드에 연결되어 있는 제4 엔모스 트랜지스터 ; 및

게이트가 상기 제2 워드 라인에 연결되고, 소스는 상기 제1 메모리 노드에 연결되어 있으며, 그리고 드레인은 상기 제2 비트 라인에 연결되어 있는 제5 엔모스 트랜지스터를 포함하는 반도체 메모리 장치로서, 상기 제1 피모스 트랜지스터 및 제2 피모스 트랜지스터는 상기 반도체 기판에 형성된 상기 엔웰의 P+ 활성 영역에 위치하고, 상기 제1 엔모스 트랜지스터, 제2 엔모스 트랜지스터, 제3 엔모스 트랜지스터, 제4 엔모스 트랜지

스터 및 제5 엔모스 트랜지스터는 상기 반도체 기판에 형성된 상기 피웰의 N+ 활성 영역에 위치하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제1항 또는 제2항에 있어서, 상기 엔웰은 상기 메모리 셀의 일 모퉁이에 위치하고, 상기 메모리 셀의 나머지 부분에는 피웰이 위치하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제3항에 있어서, 상기 메모리 셀의 엔웰이 다수 개가 모여서 하나의 독립된 엔웰을 형성함으로써 상기 피웰들에 의해 둘러싸여 있고, 상기 반도체 메모리 장치는 상기 엔웰과 상기 반도체 메모리 장치의 전원을 연결시키기 위한 웰 콘택(well contact)을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제4항에 있어서, 상기 독립된 엔웰의 상기 P+ 활성 영역 내에는 상기 웰 콘택과 연결되는 N+ 활성 영역이 더 형성되어 있고, 상기 N+ 활성 영역 및 상기 P+ 활성 영역 상에는 상기 N+ 활성 영역 및 상기 P+ 활성 영역을 연결하기 위한 실리사이드층이 더 형성되어 있는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제4항에 있어서, 상기 독립된 엔웰은 4개의 메모리 셀이 모여서 이루어지는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제6항에 있어서, 상기 P+ 활성 영역 내에 형성된 N+ 활성 영역 및 상기 웰 콘택은 인접한 2개의 메모리 셀에 의하여 공유되어 있는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제1항 또는 제2항에 있어서, 인접한 셀에 위치한 상기 엔웰을 서로 연결하는 엔웰 브리지(n-well bridge)가 상기 피웰에 더 형성되어 있는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제8항에 있어서, 상기 엔웰 브리지의 폭은 상기 엔웰의 폭의 10% 이상 50% 이하인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

제8항에 있어서, 상기 메모리 셀의 엔웰이 다수 개가 모여서 하나의 독립된 엔웰을 형성함으로써 상기 피웰들에 의해 둘러싸여 있고, 상기 반도체 메모리 장치는 상기 엔웰과 상기 반도체 메모리 장치의 전원을 연결시키기 위한 웰 콘택(well contact)을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

제10항에 있어서, 상기 독립된 엔웰의 상기 P+ 활성 영역 내에는 상기 웰 콘택과 연결되는 N+ 활성 영역이 더 형성되어 있고, 상기 N+ 활성 영역 및 상기 P+ 활성 영역

상에는 상기 N+ 활성 영역 및 상기 P+ 활성 영역을 연결하기 위한 실리사이드층이 더 형성되어 있는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

제10항에 있어서, 상기 독립된 엔웰은 4개의 메모리 셀이 모여서 이루어지는 것을 특징으로 하는 반도체 메모리 장치.

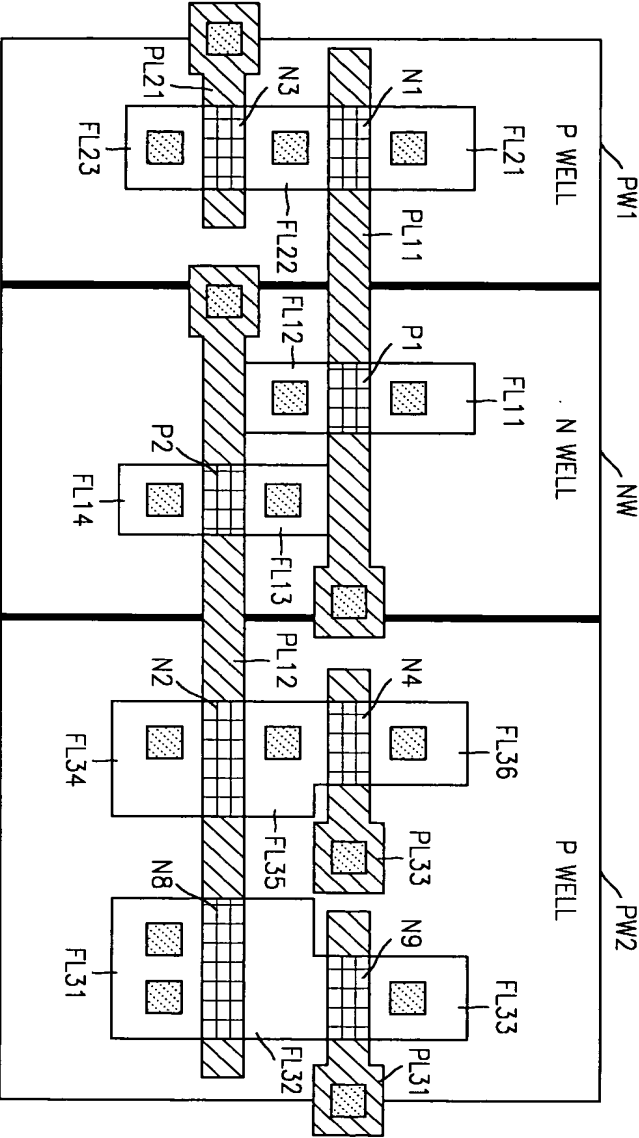
【청구항 13】

제1항 또는 제2항에 있어서, 상기 제2 워드 라인은 상기 제1 워드 라인과 평행한 것을 특징으로 하는 반도체 메모리 장치.

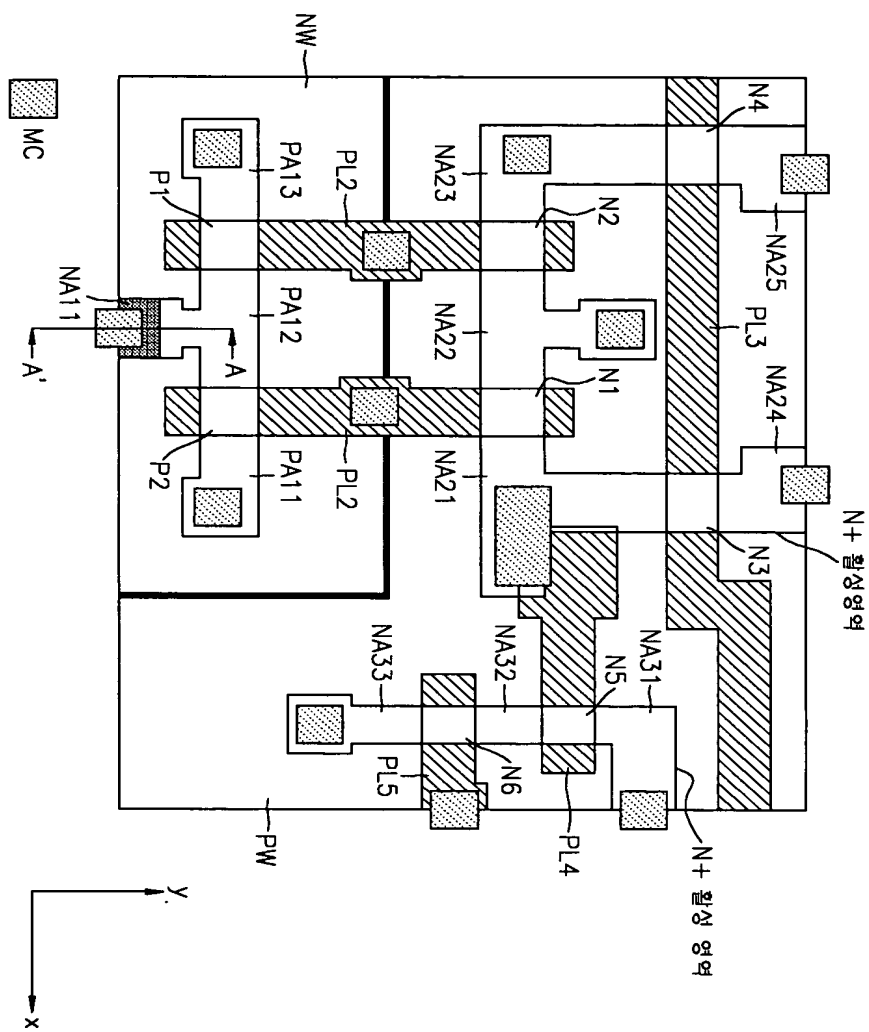
【청구항 14】

제1항 또는 제2항에 있어서, 상기 제2 비트 라인은 상기 제1 비트 라인과 평행한 것을 특징으로 하는 반도체 메모리 장치.

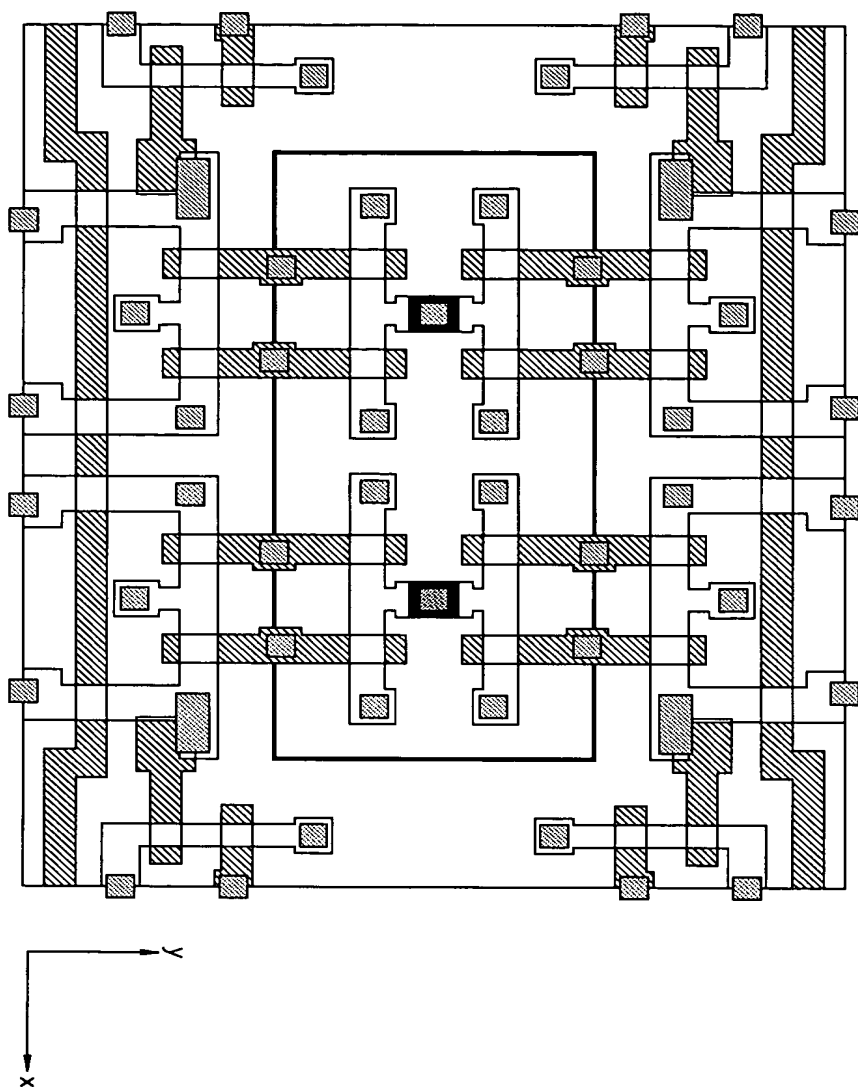
【도 2】



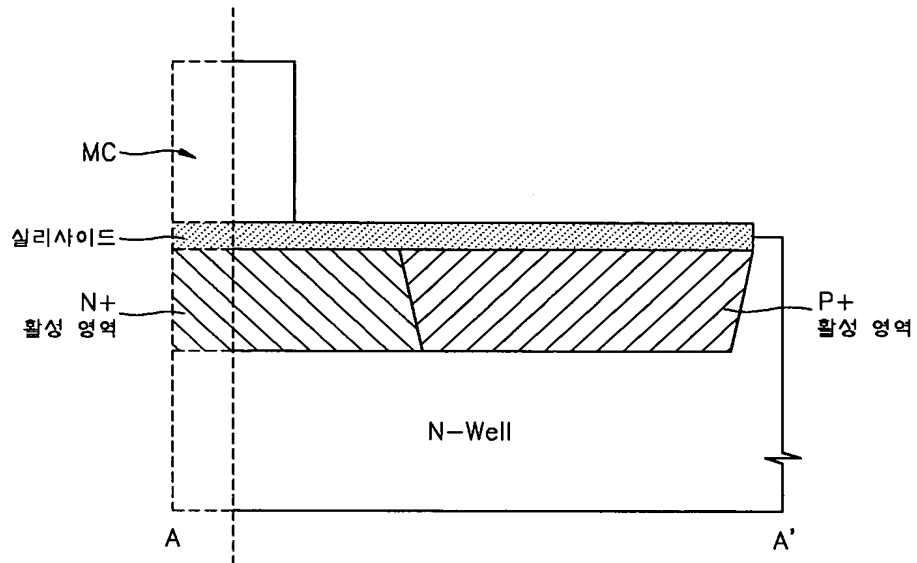
【도 4】



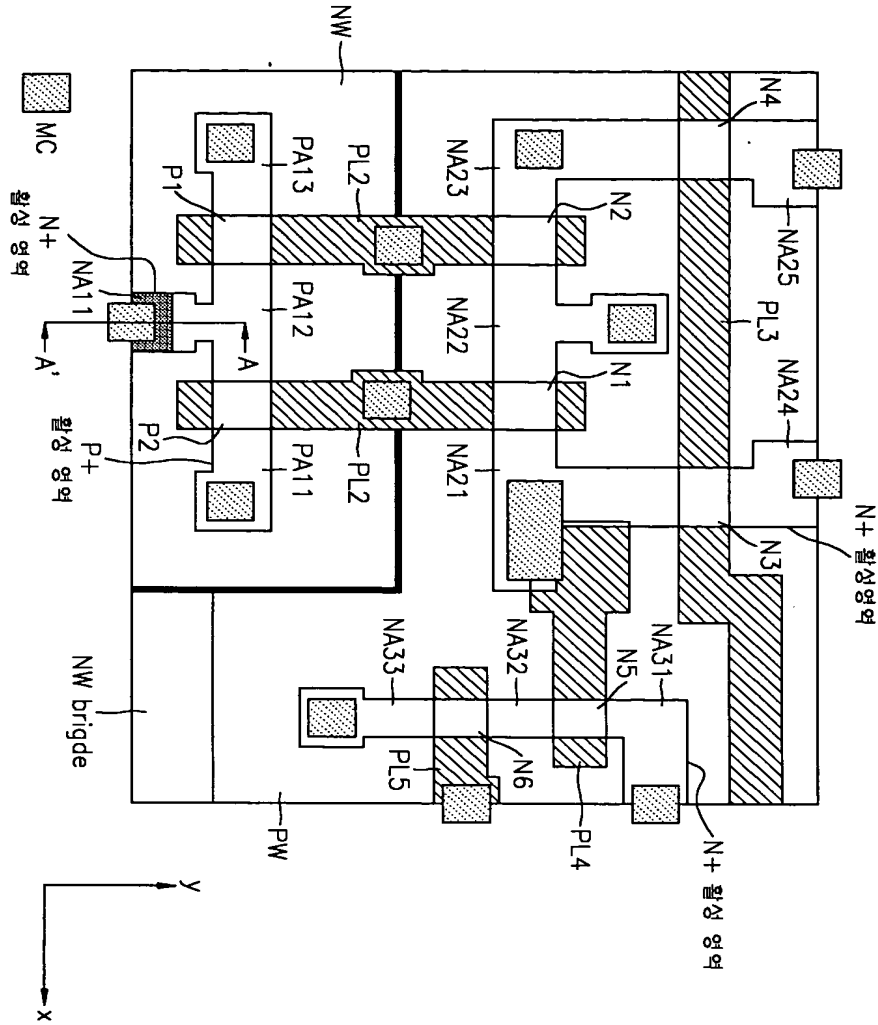
【도 5】



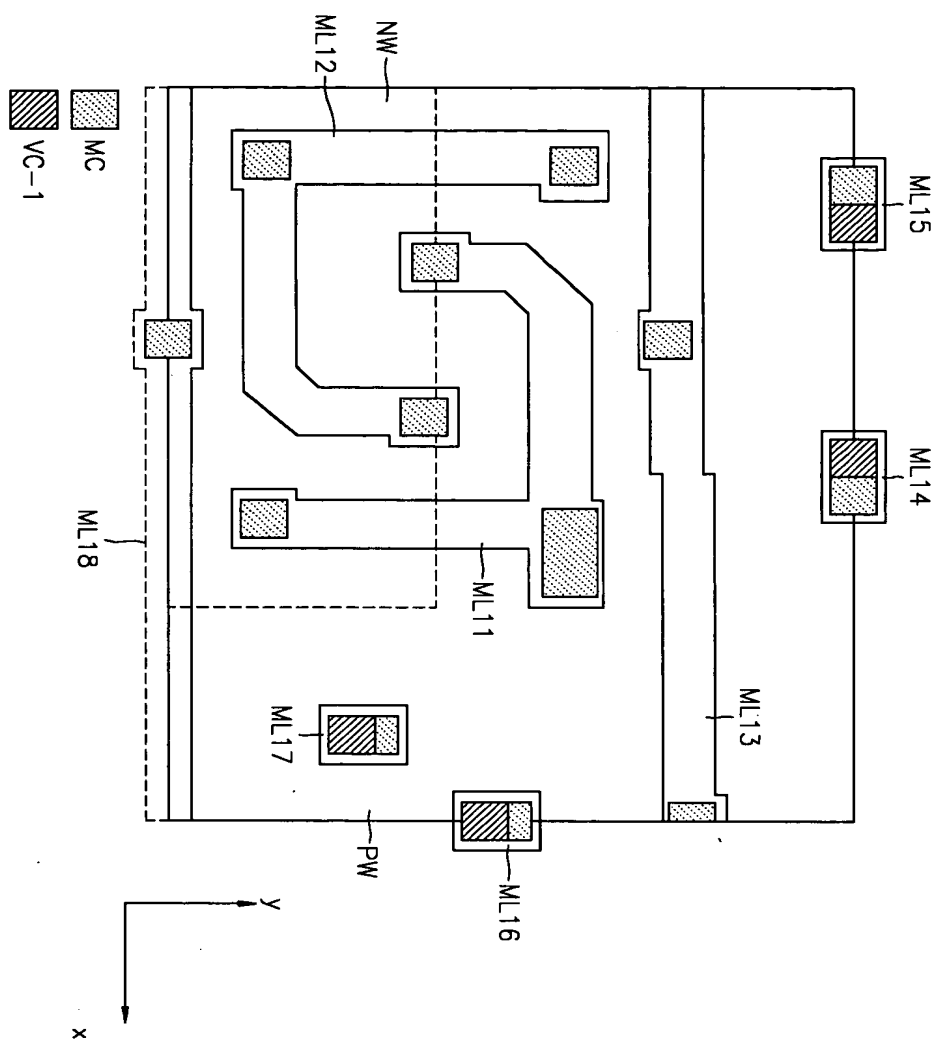
【도 6】



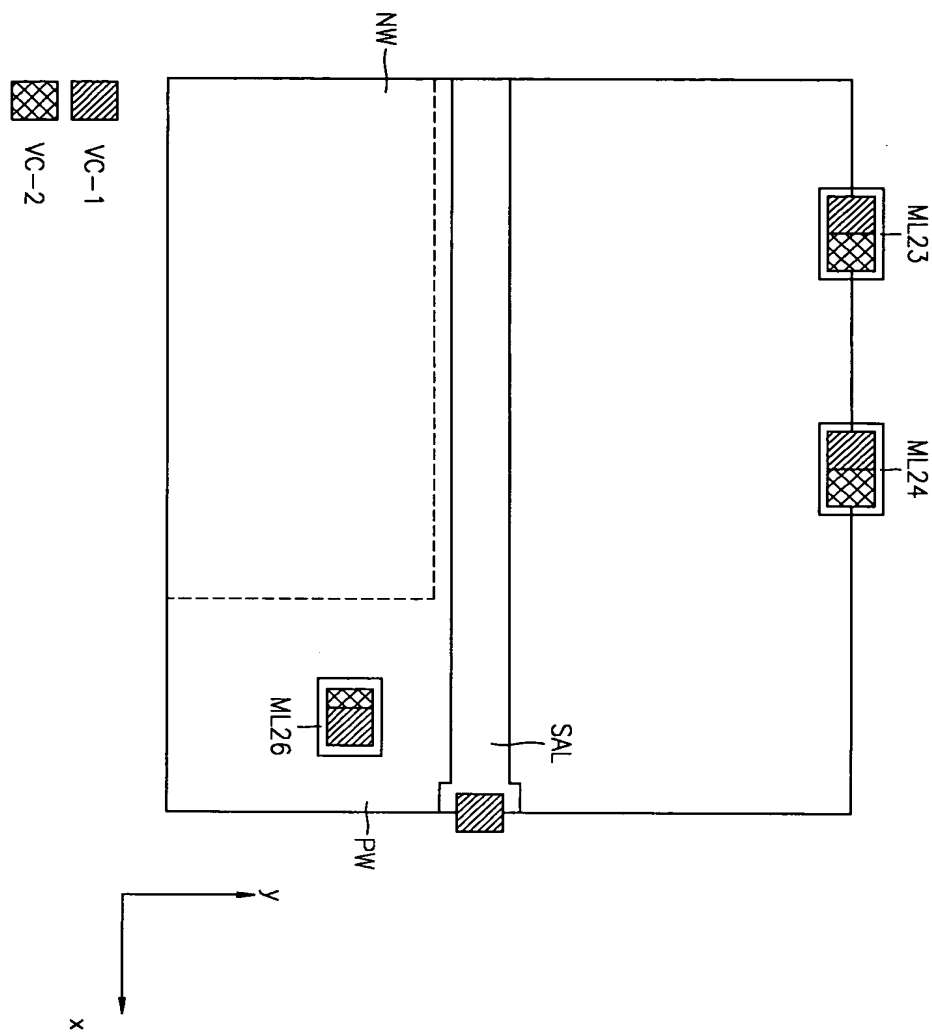
【도 7】



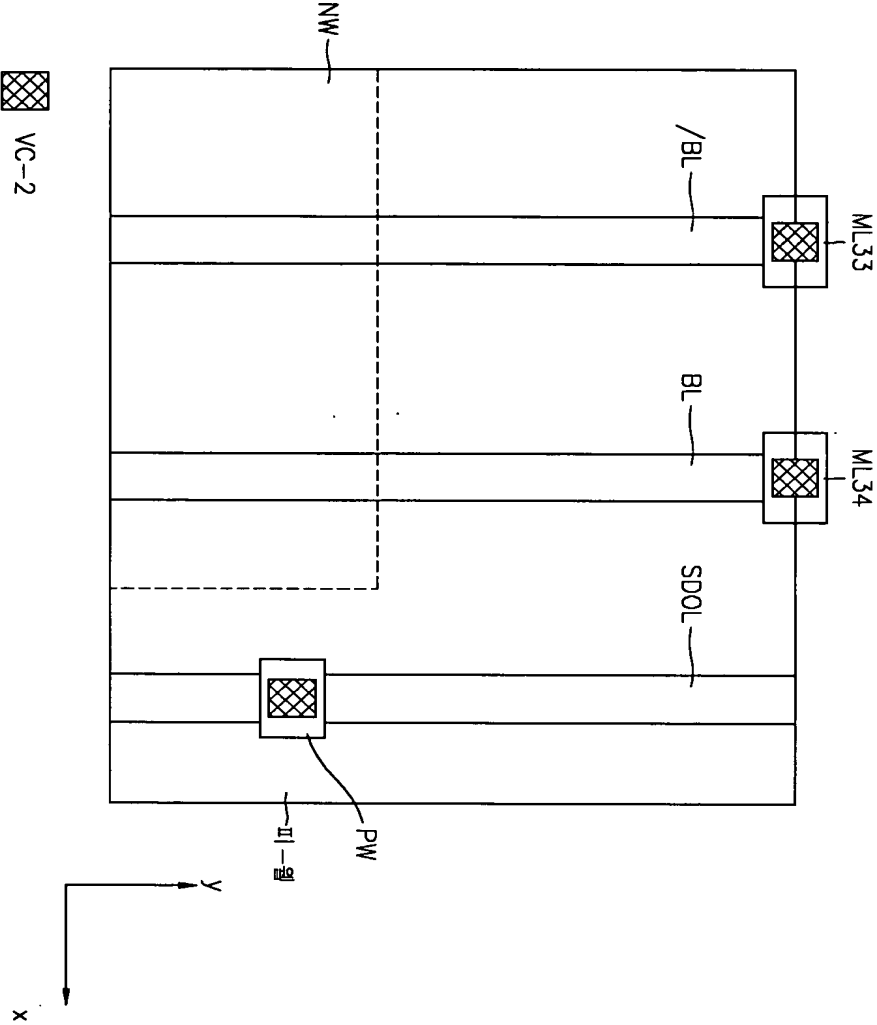
【도 8】



【도 9】



【도 10】



【도 11】

